

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222730

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01G 4/40

H01F 27/00

H01F 17/00

H01G 4/12

(21)Application number : 2001-015429

(71)Applicant : SANYO ELECTRIC CO LTD
SANYO ELECTRONIC
COMPONENTS CO LTD

(22)Date of filing : 24.01.2001

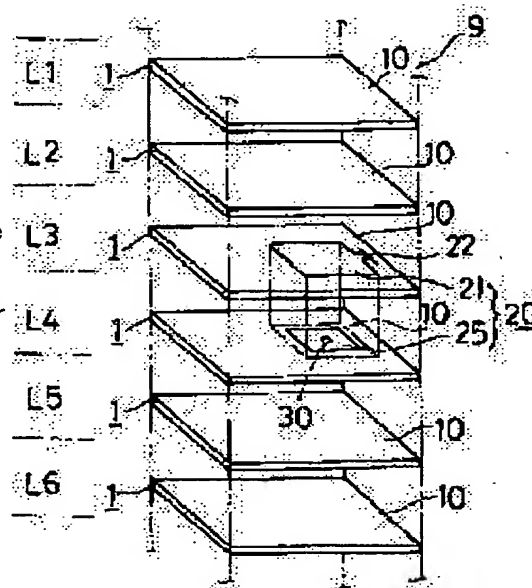
(72)Inventor : FUTAKI KAZUYA
MORI TAKAYUKI
KUMITA MINORU

(54) LAMINATED COMPOSITE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a capacitor element having the prescribed capacitance in a laminated composite device in which one or more circuit element patterns are formed on the surfaces of dielectric layers, and the circuit element patterns formed on the circuit element layers are interconnected to constitute an electronic circuit which displays a prescribed function.

SOLUTION: In this laminated composite device, the flat electrode 25 out of a pair of flat electrodes 21 and 25 which are different in size and constitute a capacitor element 20 is so formed as to be large enough in size to obtain a prescribed capacitance, and the flat electrode 25 is connected to the other circuit element other than a ground electrode by a viahole 30 extending vertically from the flat electrode 25 and included in the range of the other flat electrode 21. Therefore, the opposed parts of the flat electrodes 21 and 25 are equal to the above flat electrode 25 in size, so that the capacitor element 20 is capable of having the expected capacitance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-222730

(P2002-222730A)

(43) 公開日 平成14年8月9日 (2002.8.9)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 G 4/40

H 0 1 F 17/00

D 5 E 0 0 1

H 0 1 F 27/00

H 0 1 G 4/12

3 5 2 5 E 0 7 0

17/00

4/40

3 2 1 A 5 E 0 8 2

H 0 1 G 4/12

3 5 2

H 0 1 F 15/00

D

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願2001-15429 (P2001-15429)

(22) 出願日

平成13年1月24日 (2001.1.24)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 397016703

三洋電子部品株式会社

大阪府大東市三洋町1番1号

(72) 発明者 二木 一也

大阪府大東市三洋町1番1号 三洋電子部

品株式会社内

(74) 代理人 100100114

弁理士 西岡 伸泰

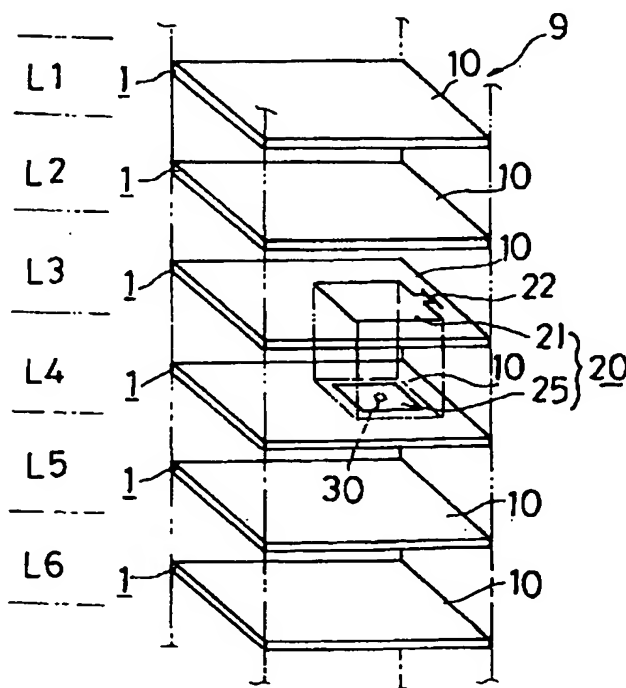
最終頁に続く

(54) 【発明の名称】 積層型複合デバイス

(57) 【要約】

【課題】 各回路素子層は、誘電体層の表面に、1 或いは複数の回路素子パターンを形成してなり、複数の回路素子層に形成された複数の回路素子パターンが互いに接続されて、所定の機能を発揮すべき電子回路を構成している積層型複合デバイスにおいて、所期のキャパシタンスを得ることが出来るコンデンサ素子を提供する。

【解決手段】 本発明に係る積層型複合デバイスにおいて、コンデンサ素子20を構成する大きさの異なる一対の平面電極21、25の内、所期のキャパシタンスを得ることが出来る大きさに形成された平面電極25は、該平面電極25から垂直に伸びるビアホール30によってアース電極以外の他の回路素子と接続され、他方の平面電極21の範囲内に包含されている。従って、一対の平面電極21、25の対向部分が前記平面電極25の大きさと一致するので、該コンデンサ素子20は所期のキャパシタンスを発揮する。



【特許請求の範囲】

【請求項1】 複数の回路素子層を積層して構成される積層型複合デバイスであって、各回路素子層は、誘電体層の表面に、1 或いは複数の回路素子パターンを形成してなり、複数の回路素子層に形成された複数の回路素子パターンが互いに接続されて、所定の機能を発揮すべき電子回路を構成している積層型複合デバイスにおいて、少なくとも1つの誘電体層の両面には、大きさの異なる一対の平面電極が形成されて、両平面電極によってコンデンサ素子を構成しており、両平面電極の内、一方の平面電極は所期のキャパシタンスを得ることが出来る大きさに形成され、他方の平面電極は前記一方の平面電極よりも大きく形成され、前記一方の平面電極は前記他方の平面電極の範囲内に全体が包含される様に配置されると共に、前記一方の平面電極には、その平面電極範囲内に連結点を有して回路素子層を貫通する導電路が連結されていることを特徴とする積層型複合デバイス。

【請求項2】 前記コンデンサ素子の両平面電極はそれぞれアース電極以外の回路素子パターンと連結されていることを特徴とする請求項1に記載の積層型複合デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、携帯電話機等の電子機器に装備される各種電子回路を構成するための積層型複合デバイスに関するものである。

【0002】

【従来の技術】 携帯電話機には、図4に示す如くインダクタやコンデンサ等の複数の回路素子から構成されるフロントエンドモジュール(5)が装備されているが、近年の携帯電話機における小型化の要求に応じて、フロントエンドモジュール(5)を構成する複数の回路素子を、図5に示す如き1チップの積層型複合デバイス(90)に集積化して、メイン基板上に配置することが行なわれている。

【0003】 積層型複合デバイス(90)は、複数枚の回路素子基板(1)を積層して構成されており、各回路素子基板(1)には、セラミック製の誘電体シート(10)の表面に形成されたコンデンサパターン(80) (以下、Cパターンという)やインダクタパターン(以下、Lパターンという)等の複数の回路素子パターン(2)が形成されている(特許第3048592号、特許第3067612号等)。そして、これらの回路素子パターン(2)は、図6の如く同一回路素子基板(1)に形成された導体パターン(22)や、誘電体シート(10)の貫通孔(35)に銀等の導電材を充填してなる導電路(以下、ビアホールという)(30)を介して、互いに電気的に接続されている。

【0004】 誘電体シート(10)の表面に形成されたCパターン(80)は平面電極(81)によって形成され、該平面電極(81)の端縁から導体パターン(22)が伸びている。そし

て、図7に示す様に、互いに重なる2層の誘電体シート(10)(10)の表面に形成されている一対の平面電極(81)(81)によってコンデンサ素子(8)が構成され、該コンデンサ素子(8)のキャパシタンスの大きさは、前記一対の平面電極(81)(81)の対向面の面積で決定される。

【0005】 更に積層型複合デバイス(90)においては、図5の如く、最上層の回路素子基板(1)の表面に、ダイオードや抵抗等の回路素子パターンとすることが困難な電子部品(70)(71)(72)が実装される。又、適当な階層(例えば最下層)の回路素子基板(1)には、各回路素子パターンを接地するためのアース電極(40)が形成される。

【0006】 フロントエンドモジュールを構成すべき積層型複合デバイスは、次の様にして設計される。まず、フロントエンドモジュールとして必要な機能を実現するための電子回路が設計され、その電子回路を構成しているインダクタやコンデンサ等の複数の回路素子について、それぞれの形状(寸法、パターン長、面積等)が決定される。そして、該形状に基づいて、積層型複合デバイスを構成すべき回路素子基板の積層数や、誘電体シートのサイズが決定され、その誘電体シートの表面に必要な回路素子が配置される。続いて、積層型複合デバイスとしての特性値が予測され、フロントエンドモジュールとして所定の機能が得られる様に、各回路素子の形状が修正される。

【0007】 上述の設計が完了すると、その設計に基づき、次の工程を経て積層型複合デバイスが製造される。まず、バインダーを含有するセラミック製の誘電体シート(以下、グリーンシートという)を必要枚数作製し、各グリーンシートに対し、上述の設計によって決定された各回路素子パターンの配置に基づいて、貫通孔を開設する。次に、各グリーンシートの表面に、必要な回路素子パターンを銀等の導電材を用いて印刷すると共に、貫通孔には銀等の導電材を充填し、ビアホールを形成する。この様にして作製された複数枚のグリーンシートを積層し、プレス加工を施すことによって、これらのグリーンシートを互いに密着させる。次に、積層されたグリーンシートに焼結処理を施すことによって、グリーンシート中のバインダーを除去し、一体の基板ブロックを得る。その後、基板ブロックをチップ毎に分断し、各チップの最上層の回路素子基板に必要な電子部品を実装する。最後に、各チップをケーシング内に収容して、積層型複合デバイスを完成する。

【0008】 従来の積層型複合デバイスにおいて、コンデンサ素子(8)を構成する一対の平面電極(81)(81)はそれぞれ、所期のキャパシタンスを得るために必要な大きさに形成されるが、図8に示す様に、平面電極(81)(81)が形成されている2つの回路素子基板の積層位置にずれが生じると、図中にハッチングを施して示す様に、一対の平面電極(81)(81)の対向面(23)の面積が、平面電極(81)全体の面積よりも小さくなる。従って、該コンデンサ

素子(8)によって得られるキャパシタンスの大きさは、所期のキャパシタンスよりも小さくなるがあった。

【0009】そこで、図9に示す様にコンデンサ素子(82)を構成する一対の平面電極(83)(84)の内、一方の平面電極(84)を所期のキャパシタンスを得るために必要な大きさに形成すると共に、他方の平面電極(83)を前記一方の平面電極(84)よりも大きく形成したコンデンサ素子(82)が知られている。該コンデンサ素子(82)においては、各平面電極(83)(84)が形成されている2つの回路素子基板の積層位置に多少のずれが生じて、前記他方の平面電極(83)の範囲内に一方の平面電極(84)が包含されることになるので、一対の平面電極(83)(84)の対向面(23)の面積は、前記一方の平面電極(84)の大きさと一致して、所期のキャパシタンスを得ることが出来るのである。

【0010】

【発明が解決しようとする課題】ところが、図9に示す従来のコンデンサ素子(82)においては、一方の平面電極(84)の端縁から伸びている導体パターン(22)が他方の平面電極(83)と対向して、図中に網目のハッチングで示す様に、重なり部分(24)を形成するので、一対の平面電極(83)(84)の対向面(23)に加えて、該重なり部分(24)もコンデンサとして機能することとなる。そのため、前記コンデンサ素子(82)のキャパシタンスは、所期のキャパシタンスよりも大きくなるという問題があった。又、回路素子基板の積層位置にずれが生じて、平面電極(83)(84)の何れか一方が図中の矢印の方向にずれた場合、該重なり部分(24)の面積が変化するため、キャパシタンスの大きさにばらつきが発生する問題があった。本発明の目的は、コンデンサ素子に所期のキャパシタンスを得ることが出来る積層型複合デバイスを提供することである。

【0011】

【課題を解決する為の手段】本発明に係る積層型複合デバイスは、複数の回路素子層を積層して構成される積層型複合デバイスであって、各回路素子層は、誘電体層の表面に、1或いは複数の回路素子パターンを形成してなり、複数の回路素子層に形成された複数の回路素子パターンが互いに接続されて、所定の機能を発揮すべき電子回路を構成している。少なくとも1つの誘電体層の両面には、大きさの異なる一対の平面電極が形成されて、両平面電極によってコンデンサ素子を構成しており、該コンデンサ素子の両平面電極はそれぞれ、アース電極以外の回路素子パターンと連結されており、両平面電極の内、一方の平面電極は所期のキャパシタンスを得ることが出来る大きさに形成され、他方の平面電極は前記一方の平面電極よりも大きく形成され、前記一方の平面電極は前記他方の平面電極の範囲内に全体が包含される様に配置されると共に、前記一方の平面電極には、その平面電極範囲内に連結点を有して回路素子層を貫通する導体路が連結されている。

【0012】上記本発明の積層型複合デバイスにおいて

は、前記一対の平面電極によって形成される対向部分がコンデンサ素子としての機能を発揮する。そして、前記一方の平面電極が所期のキャパシタンスを得ることが出来る大きさに形成されているので、該対向部分も所期のキャパシタンスを得ることが出来る大きさとなる。従って、該コンデンサ素子のキャパシタンスは所期の大きさとなる。又、前記一対の平面電極の対向位置が多少ずれた場合であっても、前記一方の平面電極全体が前記他方の平面電極の範囲内に包含されている状態が保たれるので、前記対向部分も所期のキャパシタンスを得ることが出来る大きさとなり、該コンデンサ素子のキャパシタンスは所期の大きさとなる。

【0013】

【発明の効果】本発明に係る積層型複合デバイスによれば、コンデンサ素子のキャパシタンスは所期の大きさとなり、該積層型複合デバイスによって形成される電子回路は所定の機能を発揮する。

【0014】

【発明の実施の形態】以下、本発明をデュアルバンド携帯電話機のフロントエンドモジュールに実施した例につき、図面に沿って具体的に説明する。本発明に係るデュアルバンド携帯電話機は、異なる2つの周波数帯域(例えば900MHz帯域と1900MHz帯域)の切換え受信が可能であって、図4に示す如き回路構成のフロントエンドモジュール(5)を具えている。即ち、アンテナ(51)によって受信された信号は、ダイプレクサ(61)を経て周波数帯域毎に振り分けられ、周波数帯域毎の送受切換えスイッチ回路(62)(64)を経て受信端子(53)(56)から後段回路へ出力される。又、送信時に、周波数帯域毎の送信端子(52)(55)に供給された送信信号は、周波数帯域毎にローパスフィルター(63)(65)を経て高調波成分を除去された後、送受信切換えスイッチ回路(62)(64)及びダイプレクサ(61)を経て、アンテナ(51)から送信される。尚、送受信切換えスイッチ回路(62)(64)の切換えは、コントロール端子(54)(57)に供給される制御信号によって制御される。

【0015】図1に示す如く、本発明の積層型複合デバイス(9)は、複数枚(例えば15枚)の回路素子基板(1)を積層して構成されており、各回路素子基板(1)は、セラミック製の誘電体シート(10)を具え、該誘電体シート(10)の表面に、銀を用いた印刷により形成されたCパターン(26)(27)やLパターン等の複数の回路素子パターン(2)が形成されている。そして、これら複数の回路素子パターン(2)は、同一回路素子基板上に形成された帯状の導体パターン(図示省略)や、誘電体シート(10)の貫通孔に銀を充填してなるヴィアホール(30)を介して、互いに電気的に接続されている。

【0016】コンデンサ素子(20)を構成すべき一対のCパターン(26)(27)は、図2に示す様に、互いに重なり合う2層(L3及びL4)の回路素子基板(1)(1)の表面に

形成されている一対の平面電極(21)(25)から構成されている。コンデンサ素子(20)を構成する一対の平面電極(21)(25)の内、一方の平面電極(25)は、所期のキャパシタンスを得ることが出来る大きさに形成され、他方の平面電極(21)は、前記一方の平面電極(25)を包含することが出来る大きさに形成されている。そして、図3に示す様に、前記平面電極(25)が前記他方の平面電極(21)の範囲内に包含される様に配置されて、コンデンサ素子(20)としての機能を発揮する対向面(23)を形成している。前記平面電極(25)とアース電極以外の他の回路素子は、該平面電極(25)の範囲内から垂直に回路素子基板(1)を貫通するビアホール(30)を介して連結され、前記他方の平面電極(21)とアース電極以外の他の回路素子は、導体パターン(22)を介して連結されている。

【0017】更に、積層型複合デバイス(9)においては、図1の如く、最上層の回路素子基板(1)の表面に、ダイオードや抵抗等の回路素子パターンとすることが困難な電子部品(70)(71)(72)が搭載される。又、最下層の回路素子基板(1)には、各回路素子パターンを接地するためのアース電極(40)が形成されている。

【0018】本発明の積層型複合デバイスの製造方法は、先に述べた従来の積層型複合デバイスの製造方法と同じであるので、説明を省略する。

【0019】上記本発明の積層型複合デバイスにおいて、コンデンサ素子(20)を構成する一対の平面電極(21)(25)の対向面(23)の面積は、所期のキャパシタンスを得ることが出来る大きさに形成された一方の平面電極(25)の大きさと一致する。この結果、前記コンデンサ素子(20)のキャパシタンスは、所期の大きさととなる。又、前記他方の平面電極(21)の範囲内に前記一方の平面電極(25)が包含されている。従って、各平面電極(21)(25)が形成されている2層の回路素子基板の積層位置がずれて、一対の平面電極(21)(25)の対向位置にずれが生じてても、コンデンサ素子(20)としての機能を発揮すべき対向面(23)は常に同じ面積となるので、コンデンサ素子(20)のキャパシタンスは、所期の大きさととなる。

【0020】尚、上述の実施例においては、コンデンサ素子(20)を構成する一対の平面電極(21)(25)の内、一方

の平面電極(25)がビアホール(30)によってアース電極以外の他の回路素子と連結されている構成を示したが、両方の平面電極(21)(25)がビアホール(30)によってアース電極以外の他の回路素子と連結されている構成としても本発明の効果をを得ることが出来る。

【図面の簡単な説明】

【図1】本発明に係る積層型複合デバイスの断面図である。

【図2】本発明に係る積層型複合デバイスの積層構造を表わす分解斜視図である。

【図3】本発明に係るコンデンサ素子を構成する一対の平面電極の配置を示す平面図である。

【図4】デュアルバンド携帯電話機のフロントエンドモジュールの回路図である。

【図5】従来の積層型複合デバイスの断面図である。

【図6】積層型複合デバイスを構成する回路素子基板の一部破断斜視図である。

【図7】従来の積層型複合デバイスの積層構造を表わす分解斜視図である。

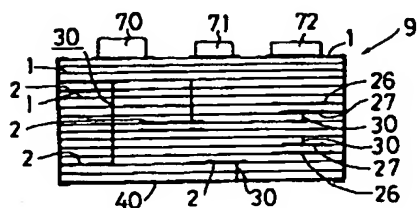
【図8】従来のコンデンサ素子を構成する一対の平面電極の配置を示す平面図である。

【図9】他の従来のコンデンサ素子を構成する一対の平面電極の配置を示す平面図である。

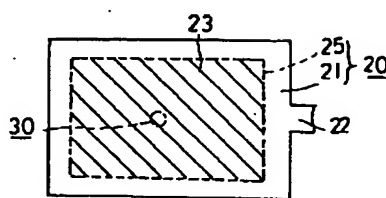
【符号の説明】

- (1) 回路素子基板
- (10) 誘電体シート
- (2) 回路素子パターン
- (20) コンデンサ素子
- (21) 平面電極
- (25) 平面電極
- (30) ヴィアホール
- (40) アース電極
- (5) フロントエンドモジュール
- (82) コンデンサ素子
- (83) 平面電極
- (84) 平面電極
- (9) 積層型複合デバイス
- (90) 積層型複合デバイス

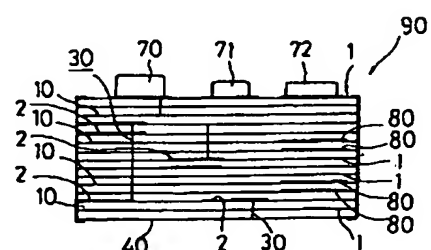
【図1】



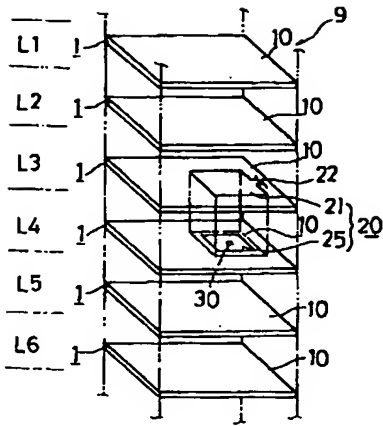
【図3】



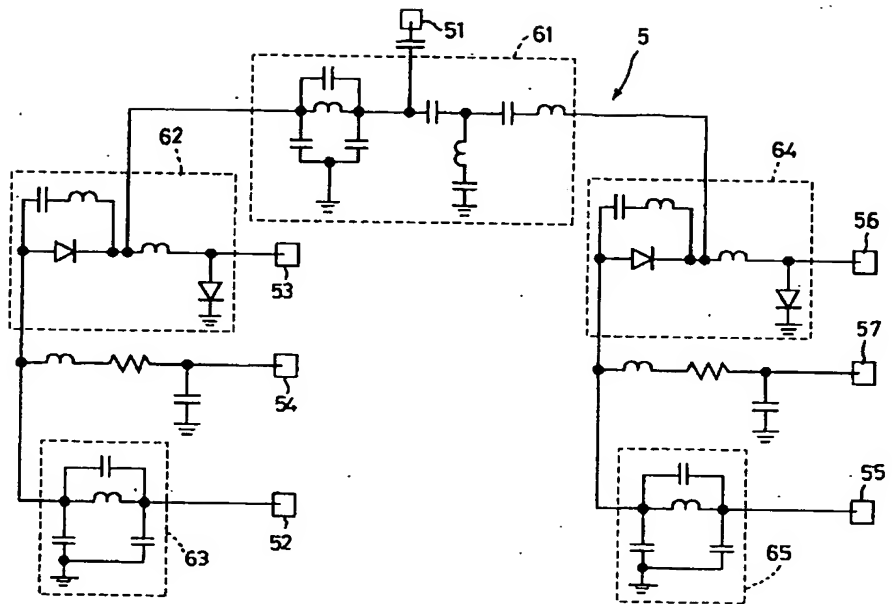
【図5】



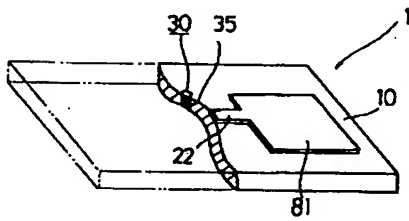
【図2】



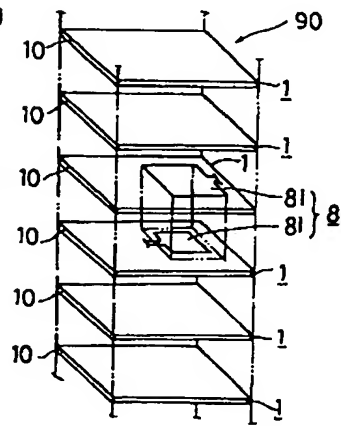
【図4】



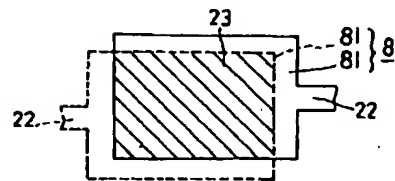
【図6】



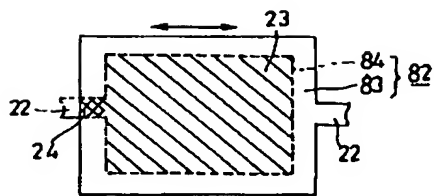
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 森 孝幸

大阪府大東市三洋町 1 番 1 号 三洋電子部
品株式会社内

(72)発明者 汲田 稔

大阪府大東市三洋町 1 番 1 号 三洋電子部
品株式会社内

F ターム(参考) 5E001 AB03 AD05 AH01 AH09 AJ01

5E070 AA05 AB04 CB01

5E082 AB03 DD07 EE04 EE23 FF05

FG04 FG26 FG46 FG54 LL15